

## MATERIAL FOR INFORMATION DISCLOSURE STATEMENT



### List of Prior Art References

- A. Japanese Patent Application Laid-Open No. H1-296712,  
laid-open on November 30, 1989

### Comments

#### **Reference A**

This reference discloses a counter that achieves interlaced counting by the use of a binary counter, wherein the binary code output from the binary counter is converted into a Gray code by the use of a code converter so as to output the Gray code.

The counter disclosed in this reference poses no restrictions on interlaced counting. Thus, for example, in counting performed with 9 counts skipped at a time, when the count changes from 0 to 10, the Gray code changes from (00000) to (01111), with four bits changing simultaneously. This may spoil the advantage of a Gray code of reducing the number of simultaneously changing bits, leading to electric noise when interlaced counting is performed.

By contrast, according to the present invention, interlaced counting with (2 raised to a particular power minus 1) counts skipped at a time is achieved without using a binary counter but instead by using an output value converting circuit that converts the output of a consecutively counting Gray code counter into decimal counts as obtained when counting is performed with (2 raised to a particular power minus 1) counts skipped at a time. In this way, according to the present invention, a Gray code counter, by performing counting with (2 raised to a particular power minus 1) counts skipped at a time, keeps the number of simultaneously changing bits constant at 2 in interlaced counting. This makes it possible to perform interlaced counting while reducing electric noise.

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-296712

(43)Date of publication of application : 30.11.1989

(51)Int.Cl.

H03K 21/08

(21)Application number : 63-125903

(71)Applicant : AGENCY OF IND SCIENCE & TECHNOLOGY

(22)Date of filing : 25.05.1988

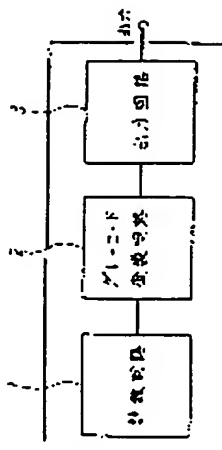
(72)Inventor : IKEDA MASAYUKI  
ITO MIKIO  
HONMA KIYOMASA

## (54) COUNT DATA OUTPUT CIRCUIT

### (57)Abstract:

**PURPOSE:** To prevent a rapid load power fluctuation of an output circuit from giving adverse effect on other circuits by providing a gray code conversion circuit converting an output of a counter circuit into an alternate binary code and an output circuit outputting an output of the gray code conversion circuit externally.

**CONSTITUTION:** The output circuit is provided with the counter circuit 1, the gray converting circuit 2 converting an output of the said counter circuit into an alternate binary code and an output circuit 3 to output the output of the said gray code conversion circuit externally. The gray code conversion circuit 2 converts the count output of the counter circuit 1 into the alternate binary code. The alternate binary code is a binary code where the expression of adjacent number is different from one digit only in case of binary expression of consecutive number. Thus, even if the content of the counter circuit 1 changes in any way, since the gray code conversion circuit 2 is converted so that the change in the polarity of lots of bits in the same direction is not caused simultaneously, the production of a large current change in the output circuit 3 is not caused and the circuit is operated stably.



⑫ 公開特許公報(A)

平1-296712

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)11月30日

H 03 K 21/08

6832-5 J

審査請求 有 請求項の数 1 (全4頁)

⑮ 発明の名称 カウントデータ出力回路

⑯ 特 願 昭63-125903

⑰ 出 願 昭63(1988)5月25日

⑱ 発 明 者 池 田 正 幸 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 発 明 者 伊 藤 幹 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑳ 発 明 者 本 間 聖 昌 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

㉑ 出 願 人 工 業 技 術 院 長 東京都千代田区霞が関1丁目3番1号

明 細 書

1. 発明の名称

カウントデータ出力回路

2. 特許請求の範囲

計数回路(1)と、該計数回路の出力を2進コードに変換するグレイコード変換回路(2)と、該グレイコード変換回路の出力を外部へ出力するための出力回路(3)とを具備することを特徴とするカウントデータ出力回路。

3. 発明の詳細な説明

〔概 要〕

本発明はデジタル回路に組み込まれる計数回路の値を外部へ出力する回路に関し、

計数回路の桁上げ時に多数のビットが同時に活性を反転することによる出力回路の急激な高電力変動が、他の回路へ悪影響を及ぼすことを防止することを目的とし、

計数回路と、該計数回路の出力を2進コ

ードに変換するグレイコード変換回路と、該グレイコード変換回路の出力を外部へ出力するための出力回路とを具備することにより構成する。

〔産業上の利用分野〕

本発明は、たとえば以下〔要〕に組み込まれた計数回路の値の出力方式に関するものであって、特にビット幅の大きな計数回路の桁上げに際しても出力回路が大きな使用電力変動を生ずることのない回路構成に係る。

〔従来の技術〕

複数ビットの2進計数回路(本明細書においては以下計数回路をカウンタともいう)において、その値の下位ビットが"1"の連続であるとき、次のカウントアップによって、上位ビットで桁上げを生じ、下位ビットは一度にその偶の活性が反転する。

例えば、8ビットカウンタにおいて、2進数"01111111"の値になったとき、次のカ

で、その値は“10000000”となる。すなわち、この場合は8ビット全部がその値性を反転することになり、かつ、下位7ビットは同時に同方向に値性が変化することになる。

このようなカウンタの値を外部に出力する場合、出力回路は各ビットごとに設けられたドライバと呼ばれる電力増幅器を駆動しその出力を送出する。

#### 【発明が解決しようとする課題】

上述したようなカウンタの値の大半のビットの値性が一斉に同方向に変化すること自体は、カウンタあるいはその周辺の消費電力の小さい回路にとって特に有害の問題を生ずるということはない。

しかし、カウンタの値をビットごとにドライバを通じて、外部に出力する場合には、このような動作は好ましくない。

すなわち、出力回路は外部に信号を出力するためのビットごとの電力増幅器の集まりであり、

であっても、出力回路への供給電源の大きな電圧変化を生ずることのない出力回路方式を提供することを目的としている。

#### 【課題を解決するための手段】

本発明によれば上述の目的は前記特許請求の範囲に記載した手段により達成される。

すなわち、本発明は、計数回路と、該計数回路の出力を交番2進コードに変換するグレイコード変換回路と、該グレイコード変換回路の出力を外部へ出力するための出力回路とを具備するカウンタデータ出力回路である。

#### 【作用】

第1図は本発明の原理を示す図であって、1は計数回路、2はグレイコード変換回路、3は出力回路を表している。

同図において、グレイコード変換回路2は計数回路1のカウント出力を交番2進コードに変換する。交番2進コードは連続する数を2進表

通常の論理回路とは比較にならない大電力を扱うものであるから、信号が“1”から“0”あるいは“0”から“1”へ変化する場合には相当程度の電流の回路への流入あるいは切断が起こる。

従って、ビット幅の大きなカウンタで、一斉に同方向のビットの値性が変化した場合には、各ドライバの電流変化が累積されて大電流の急激な流入や切断が起こることになる。これは、非常に複雑なパルス性の信号を扱う論理回路にとって、好ましくないことである。

同或なら、大電流の急激な変化時には、過電流現象により電流回路にパルス性の雑音を生じ、また電圧電圧の変動を生ずることになるからである。

そして、これは関連する論理回路の誤動作を誘発する原因になり得る。

本発明はこのような従来の問題点に鑑み、ビット幅の大きなカウンタの値をドライバを通じて外部へ出力する場合に、カウンタの大半のビットが同時に同方向に値性を変えるような場合

現したとき、連続する数の表現が互いに一つの桁でだけ異なるように作られた2進コードである。

従って、第1図の回路において、計数回路1の値がどのように変化しても、グレイコード変換回路で、同時に多数の同方向のビットの値性の変化が生じないように変換されるから出力回路3での大電流変化が発生することがない。

#### 【実施例】

第2図は本発明の一実施例のブロック図であって、4、4'はそれぞれLSI、5はラッチ、6は+1回路7で構成される2進計数回路、8はグレイコード変換回路、9は出力回路、10はグレイコード復元回路、11はラッチ、12は内部回路を表している。

同図において、LSI4のラッチ6および+1回路7とからなる2進計数回路5のカウント出力はグレイコード変換回路8に入力され、交番2進コードに変換される。

4ビットの交番2進コードの例を第1表に示す。

第 1 表

	2進表示	交番2進コード
00	0000	0000
01	0001	0001
02	0010	0011
03	0011	0010
04	0100	0110
05	0101	0111
06	0110	0101
07	0111	0100
08	1000	1100
09	1001	1101
0A	1010	1111
0B	1011	1110
0C	1100	1010
0D	1101	1011
0E	1110	1001
0F	1111	1000

すなわち、同表は16進数と2進数と交番2進コードを対応せしめて表示したものであるが、同表より明らかなように交番2進コードは、所

要回路10は不要であり、また、内部回路12でグレイコードの正逆処理を行なってその結果を2進数で出力する場合には、内部回路12の出力側にグレイコード復元回路を接続すれば良い。

#### 〔発明の効果〕

以上説明したように本発明によれば、ビット幅の大きな2進計数回路(カウンタ)の値を外部に出力する場合に、上位ビットの折上り率によって大半のビットが一斉に同方向に強性を変えるような場合であっても、出力回路において、急激な電流の変化を生ずることがないから、急激な電流の変化に起因するパルス性の雑音や電磁波の放射による論理回路の誤動作の発生を防止することが可能であり、回路の安定な動作を期待できるという利点がある。

#### 4. 図面の簡単な説明

第1図は本発明の原理を示す図、第2図は本

発明の一実施例のブロック図である。

第2図の回路において、2進計数回路5の出力の大半のビットが同時に同方向に変化する場合であっても、グレイコード変換回路8の出力は常に1ビットの変化に止まる。

グレイコード変換回路8の出力は出力回路9を経て外部に出力されるが、比較的大電力を要する出力回路のビット対応に及けられたドライバが一斉に同方向に強性を断することがないので、電圧に急激な変化を生じないからパルス性の雑音を生ずる他の回路に影響を及ぼさず、電磁波の放射を生じて他の論理回路の動作の安定性を脅かすことしない。

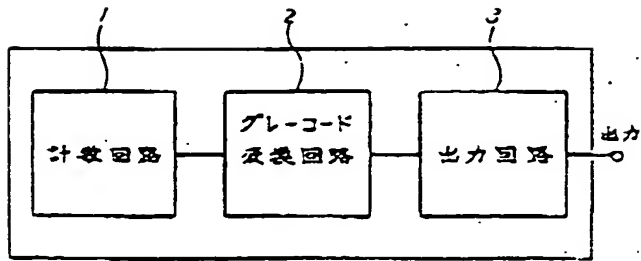
出力回路9の出力はLS14を出て他のLS14'に入力するが、ここで、グレイコード復元回路10によって、2進数に変換されて、ラッチ11に保持された後内部回路12によって用いられる。

LS14'の内部回路12において、グレイコードの正逆処理する場合には、グレイコード

復元の一実施例のブロック図である。

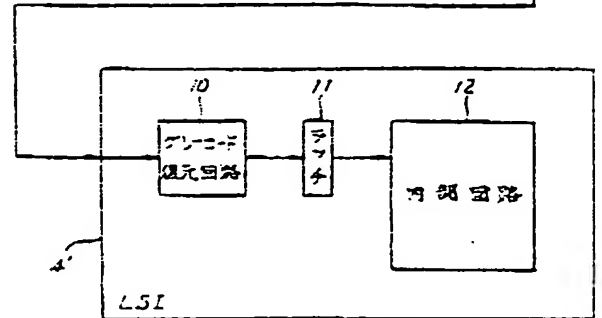
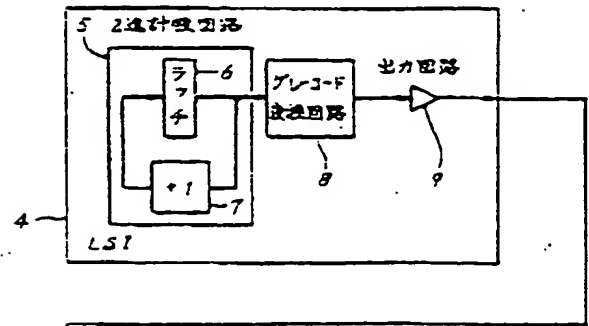
1……計数回路、2、8……グレイコード変換回路、3、9……出力回路、4、4'……LS14、5……2進計数回路、6、11……ラッチ、7……+1回路、10……グレイコード復元回路、12……内部回路

特許出願人 工業技術院 成 成 三



本発明の原理を示す図

第 1 図



本発明の一実施例のブロック図

第 2 図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**